

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-174148

(43)Date of publication of application : 20. 06. 2003

(51)Int. Cl. H01L 27/105

G11C 11/14

G11C 11/15

H01L 43/08

(21)Application number : 2001- (71)Applicant : SONY CORP
370904

(22)Date of filing : 05. 12. 2001 (72)Inventor : SHIRAIWA TOSHIAKI
MOTOYOSHI MAKOTO

(54) INFORMATION STORAGE DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an information storage device comprising a highly effective current magnetic field generating means which does not lower a current magnetic field which is required for data writing even when a critical current is lowered.

SOLUTION: This information storage device comprising write word line 11, write bit line 21 which is formed across the write word line 11 keeping the predetermined interval, information memory elements 3 which are formed of ferromagnetic material sandwiching tunnel insulation layer 33 and are provided between the write word line 11 and the write bit line 21 at the intersecting areas of the write word line 11 and the write bit line 21, and anti-ferromagnetic material layers 42 formed in the side of write word line 11 of the information memory elements 31. Moreover, this information storage device is also provided with a coil 60 which is formed around the information memory elements 31 to generate a magnetic field.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] A write-in word line and the write-in bit line formed so that said write-in word line and predetermined spacing might be kept and it might cross, The information storage component which consists of ferromagnetics on both sides of a tunnel insulating layer, and was prepared between said write-in word line in the crossover field of said write-in word line and said write-in bit line, and said write-in bit line, The information storage device which is an information storage device equipped with the antiferromagnetic substance layer formed in the write-in word line side of said information storage component, and is characterized by having the coil formed so that a magnetic field may be generated and said information storage component might be surrounded.

[Claim 2] The 1st coil wiring with which said coil has been arranged through an insulator layer at one side-face side of said antiferromagnetic substance layer, The 2nd coil wiring with which it has been arranged so that said write-in bit line upper part may be crossed

aslant, and the end has been arranged in the end side upper part of said 1st coil wiring, The 1st contact which connects the end of said 1st coil wiring, and the end of said 2nd coil wiring, The information storage device according to claim 1 characterized by preparing in the condition of repeating the winding part which consists of the 2nd contact which connects the other end of 1st another coil wiring arranged through an insulator layer at the side-face side of another side of said antiferromagnetic substance layer, and the other end of said 2nd coil wiring.

[Claim 3] A write-in word line and the write-in bit line formed so that said write-in word line and predetermined spacing might be kept and it might cross, The information storage component which consists of ferromagnetics on both sides of a tunnel insulating layer, and was prepared between said write-in word line in the crossover field of said write-in word line and said write-in bit line, and said write-in bit line, It is the manufacture approach of an information storage device equipped with the antiferromagnetic substance layer connected to the write-in word line side of said information storage component. The process which forms the storage layer which consists of the magnetization fixed bed which consists of a ferromagnetic required to constitute said information storage component at least after forming said antiferromagnetic substance layer, a tunnel insulating layer, and a ferromagnetic, While forming the connection layer which carries out patterning of said said from storage layer to antiferromagnetic substance layer, and connects with the inferior surface of tongue of said information storage component The process which forms the 1st coil wiring arranged at one side-face side of said connection layer, The process which carries out patterning even of said tunnel insulating layer, and forms an information storage component, The process which forms the 1st insulator layer of a wrap for said information storage component, said connection layer, and the 1st coil wiring, The process which forms said write-in bit line linked to the top face of said information storage component, While forming the process which forms the 2nd insulator layer which covers said write-in bit line, and the 1st contact connected to the end of said 1st coil wiring at said 2nd and 1st insulator layer The process which forms the 2nd contact linked to the other end of 1st another coil wiring arranged at the side-face side of another side of said connection layer, The manufacture approach of the information storage device characterized by having with the process which forms the 2nd coil wiring which connects said the 1st contact and said contact of the 2nd on said 2nd insulator layer.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the information storage device which makes information memorize, and its manufacture approach by making the condition of having met the magnetization shaft of a predetermined direction magnetize a magnetic material.

[0002]

[Description of the Prior Art] Much more high performance-ization of high integration, improvement in the speed, low-power-izing, etc. is demanded of components which constitute this, such as a memory device and a logic component, with the fast spread of personal small devices, such as information communication equipment, especially a personal digital assistant. Especially the densification of nonvolatile memory and large-capacity-izing are becoming still more important as a technique which essentially replaces the hard disk which cannot be miniaturized, and an optical disk by existence for moving part.

[0003] The flash memory using the semi-conductor as nonvolatile memory, FRAM (Ferro electric Random Access Memory) using a ferroelectric, etc. are raised. However, since structure of a flash memory is complicated, it is difficult to be integrated highly, and moreover, it has the fault that the access time is as late as about 100ns. On the other hand, the problem that endurance is low is pointed out in FRAM for a rewritable count to transpose to static random access memory or dynamic random access memory completely by 1012-1014. Moreover, the technical problem that micro processing of a ferroelectric capacitor is difficult is also pointed out.

[0004] The magnetic memory called MRAM (Magnetic Random Access Memory) or MR (Magnetic resistance) memory which is indicated by "Wang et al. and IEEE Trans.Magn.33 (1997) p4498" is observed as nonvolatile memory which does not have these faults, and it attracts attention increasingly by improvement in a property of a TMR (Tunnel Magneto resistance) ingredient in recent years.

[0005] Since structure of MRAM is simple, high integration is easy, and in order to memorize by rotation of the magnetic moment, it is predicted that the count of rewriting is size. Moreover, it is R.Scheuerlein et al

and ISSCC Digest of Papers (Feb.2000) p128-129 for a very high-speed thing to be expected and for it to be already able to operate by 100MHz also about the access time. It is reported. Moreover, in current [from which high power came to be obtained according to the GMR (Giant Magnetic resistance) effectiveness], it has been improved greatly.

[0006]

[Problem(s) to be Solved by the Invention] Although it is MRAM in which improvement in the speed and high integration have the advantage of being easy as above-mentioned, writing writes in with the write-in bit line which was made to approach a TMR component and was formed, and performs a current to a write-in word line by the sink and its generating field. Although the reversal field of the storage layer (storage layer) of a TMR component is based also on an ingredient, $200e-2000e$ is required and the current at this time is set to dozens of mA. This leads to increase of the consumed electric current, and serves as a big technical problem to low-power-izing of a pocket device. Moreover, from Men of high integration, size with the write-in bit line and the write-in word line near the minimum line width determined from a lithography technique is required. Temporarily, when write-in bit line width of face / write-in WORD line breadth sets thickness of wiring to 500nm as 0.6 micrometers, it is 3 MA/cm². It becomes, and also when copper wiring is used (practical-use current density: 0.5 MA/cm²), the life over electromigration serves as a big technical problem. If it is furthermore made detailed, in order for the reversal field of a ferroelectric to increase and also to have to reduce the dimension of wiring, the technical problem of this wiring dependability will become larger.

[0007] Moreover, the essential technical problem on structure exists in MRAM. The storage in MRAM is performed by making wiring rotate magnetization of a storage layer by the current magnetic field generated by passing a current. However, by high integration, wiring follows on becoming thin, since the critical current value which can be passed on a write-in line falls, the field acquired cannot but become small and coercive force of a storage region-ed must be made small. This means that the dependability of an information storage device falls.

[0008] Therefore, an efficient current magnetic field generating means by which the current magnetic field needed in the case of writing does not fall even if critical current falls is searched for.

[0009]

[Means for Solving the Problem] This inventions are the information storage device made in order to solve the above-mentioned technical

problem, and its manufacture approach.

[0010] The write-in bit line formed so that the information storage device of this invention might keep a write-in word line, said write-in word line, and predetermined spacing and might cross, The information storage component which consists of ferromagnetics on both sides of a tunnel insulating layer, and was prepared between said write-in word line in the crossover field of said write-in word line and said write-in bit line, and said write-in bit line, It is the information storage device equipped with the connection layer containing the antiferromagnetic substance layer formed in the write-in word line side of said information storage component, and has the coil formed so that a magnetic field may be generated and said information storage component might be surrounded.

[0011] In the above-mentioned information storage device, since the coil is formed so that an information storage component may be surrounded, it becomes possible to generate a current field with the coil. Therefore, even if the fall of critical current takes place with high integration, it becomes possible to generate a bigger current field with few currents with a coil.

[0012] the case where it forms with single wiring -- magnetic field strength -- a straight line -- a current magnetic field is formed of the formula of $H=I / 2\pi r$ (A/m), using distance from a conductor as r . Wiring will be formed in a coiled form here. When the radius of the toroidal coil formed here is set to R and a number of turns is set to N , a current magnetic field is expressed with the formula $\pi R [H=N-I / / 2]$ Becoming. With the information storage device of this invention, the same current magnetic field can be obtained from arranging the information storage element in this coil with the current of the conventional $1/N$ (N is a number of turns).

[0013] The write-in bit line formed so that the manufacture approach of the information storage device of this invention might keep said write-in word line and predetermined spacing and it might cross, The information storage component which consists of ferromagnetics on both sides of a tunnel insulating layer, and was prepared between said write-in word line in the crossover field of said write-in word line and said write-in bit line, and said write-in bit line, It is the manufacture approach of an information storage device equipped with the antiferromagnetic substance layer connected to the write-in word line side of said information storage component. The process which forms the storage layer which consists of the magnetization fixed bed which consists of a ferromagnetic required to constitute said information

storage component at least after forming said antiferromagnetic substance layer, a tunnel insulating layer, and a ferromagnetic, While forming the connection layer which carries out patterning of said said from storage layer to antiferromagnetic substance layer, and connects with the inferior surface of tongue of said information storage component The process which forms the 1st coil wiring arranged at one side-face side of said connection layer, The process which carries out patterning even of said tunnel insulating layer, and forms an information storage component, The process which forms the 1st insulator layer of a wrap for said information storage component, said connection layer, and the 1st coil wiring, The process which forms said write-in bit line linked to the top face of said information storage component, While forming the process which forms the 2nd insulator layer which covers said write-in bit line, and the 1st contact connected to the end of said 1st coil wiring at said 2nd and 1st insulator layer It has the process which forms the 2nd contact linked to the other end of 1st another coil wiring arranged at the side-face side of another side of said connection layer, and the process which forms the 2nd coil wiring which connects said the 1st contact and said contact of the 2nd on said 2nd insulator layer.

[0014] By the manufacture approach of the above-mentioned information storage device, since a coil is formed so that an information storage component may be surrounded by the 1st coil wiring, the 2nd coil wiring, the 1st contact, and the 2nd contact, even if the fall of critical current takes place with high integration, it becomes possible to generate a bigger current field with few currents with a coil. Therefore, in the information storage device of this invention, the information storage device with which the same current magnetic field is obtained with the current of the conventional $1/N$ (N is a number of turns) is formed from forming so that an information storage element may be arranged in this coil.

[0015]

[Embodiment of the Invention] The partial cross-section outline perspective view showing the important section of the memory section of drawing 1 explains the gestalt of the 1 operation concerning the information storage device of this invention. In addition, illustration of a readout-circuitry part was omitted in drawing 1.

[0016] Although illustration is not carried out, the transistor component which constitutes a readout circuitry in a semi-conductor substrate, a read-out word line, a read-out bit line, etc. are formed, and the wrap insulator layer is formed in it.

[0017] And as shown in drawing 1 , on the insulator layer (not shown), two or more write-in word lines 11 are arranged in parallel and formed. this write-in word line 11 and predetermined spacing -- placing -- the write-in bit line 21 (21a, 21b) -- the same flat surface -- and it is arranged at juxtaposition so that the above-mentioned write-in word line 11 may be intersected (for example, rectangular cross).

[0018] In each field to which the above-mentioned write-in word line 11 and the above-mentioned write-in bit line 21 furthermore cross, the information record component 31 (31a, 31b) is arranged. This information record component 31 consists of for example, a magnetic tunnel junction component (MTJ component: MTJ the abbreviation for Magnetic Tunnel Junction), or a tunnel magnetic resistance element (TMR component: TMR the abbreviation for Tunnel Magnetic Resistance).

[0019] The above-mentioned information storage component 31 has the structure which carried out the laminating of the magnetization fixed bed 32 which consists of a ferromagnetic, the tunnel insulating layer 33, and the storage layer 34 which consists of a ferromagnetic to order from the write-in word line 11 side. The above-mentioned magnetization fixed beds 32 are for example, cobalt iron (CoFe), ferronickels (NiFe), or those alloy ingredients. For example, it is formed in the thickness of 0.5nm - 5nm, and the above-mentioned tunnel insulating layer 33 is an aluminum oxide (AlO₃). For example, it is formed in the thickness of 0.5nm - 5nm, and the above-mentioned storage layers 34 are for example, cobalt iron (CoFe), ferronickels (NiFe), or those alloy ingredients, for example, are formed in the thickness of 0.5nm - 5nm. And the above-mentioned storage layer 34 is formed so that it may have a desirable shaft for the magnetization direction of an easy axis.

[0020] The connection layer 41 (41a, 41b) containing the antiferromagnetic substance layer 42 is formed in the write-in above-mentioned word line 11 side of the above-mentioned information storage component 31. Each connection layer 41 is connected to the contact 45 connected to the readout circuitry which is not illustrated. In addition, although illustration is not carried out, the barrier layer formed by titanium nitride, the tantalum, tantalum nitride, etc. may be prepared in the write-in word line 11 side of the above-mentioned connection layer 41. The above-mentioned antiferromagnetic substance layer is for example, platinum manganese (PtMn), ferromanganese (MnFe), nickel manganese (NiMn), or iridium manganese (IrMn), for example, its thickness of 5nm - about 60nm is common, and it is usually formed in the thickness of 30nm. In addition, this thickness may be thicker than 60nm.

[0021] The 1st coil wiring 51 (51a) is formed in one side-face side of

the above-mentioned connection layer 41 (for example, it explains on the basis of connection layer 41a below) through the insulator layer (not shown). The 2nd coil wiring 52 (52a) with which the upper part of the information storage component 31 (31a) which connects with this write-in bit line 211 through an insulator layer (not shown) is aslant crossed on the above-mentioned write-in bit line 21 (21a), and the end has been arranged in the end side upper part of the 1st coil wiring 51 (51a) is formed. The 1st contact 61 (61a) which furthermore connects the end of coil wiring 51a of the above 1st and the end of coil wiring 52a of the above 2nd is formed. Furthermore, the 2nd contact 62 (62a) which connects the other end of 1st another coil wiring 51 (51b) and the other end of coil wiring 52a of the above 2nd which have been arranged through an insulator layer (not shown) at the side-face side of another side of the above-mentioned connection layer 41 (41a) is formed.

[0022] Namely, the information storage component 31 (31a) is surrounded by the 1st coil wiring 51 (51a), the 1st contact 61 (61a), the 2nd coil wiring 52 (52a), and the 2nd contact 62 (62a). It prepares in the condition of repeating the winding part which consists of the 1st coil wiring 51, the 1st contact 61, the 2nd coil wiring 52, and the 2nd contact 62, and the coil 50 is constituted.

[0023] In the above-mentioned information storage device 1, since the coil 50 is formed so that the information storage component 31 may be surrounded, it becomes possible to generate a current field with the coil 50. Therefore, even if the fall of critical current takes place with high integration, it becomes possible to generate a bigger current field with few currents with a coil 50.

[0024] the case where it forms with single wiring -- magnetic field strength -- a straight line -- using distance from a conductor as r , a current magnetic field is formed so that it may be expressed to the formula of $H=I / 2\pi r$ (A/m). Wiring will be formed in a coiled form here. When the radius of the toroidal coil formed here is set to R and a number of turns is set to N , a current magnetic field is expressed with the formula $\pi i R$ [$H=N-I / / 2$] Becoming. With the information storage device 1 of this invention, an equivalent current magnetic field can be formed with the current of $1/N$ (number around which a coil winds N) as compared with the case where a current magnetic field is formed with the conventional monolayer wiring, by forming the coil 50 in the direction shown by each arrow head.

[0025] Next, the outline configuration sectional view of drawing 2 - drawing 9 explains the gestalt of the 1 operation concerning the manufacture approach of the information storage device of this invention.

In addition, (2) of each drawing 2 - drawing 9 showed the A-A line sectional view in (1), and it omitted illustration of the 1st - the 3rd insulator layer, and gate dielectric film.

[0026] As shown in drawing 2 , a field 102 is formed in the semi-conductor substrate 101 P well, and this component isolation region 104 that divides the transistor formation field 103 into a field 102 electrically is formed for example, with STI (Shallow Trench Isolation) structure P well. MOS transistor 111 of an N channel form is formed in the above-mentioned transistor formation field 103. Through gate dielectric film 112, the gate electrode 113 is formed on the above-mentioned transistor formation field 103, and this gate electrode 113 is used for it for this MOS transistor 111 as a read-out word line.

Moreover, the source drain diffusion layers 114 and 115 are formed in the above-mentioned transistor formation field 103 of the both sides of the gate electrode 113 by the N type diffusion layer. therefore, P under the above-mentioned gate electrode 113 -- a well -- the field 102 is a channel formation field.

[0027] On the above-mentioned semi-conductor substrate 101, the 1st insulator layer 121 of a wrap is formed in the above-mentioned read-out transistor 111. The contacts 116 and 117 connected to the above-mentioned source drain diffusion layers 114 and 115 are formed in this 1st insulator layer 121. Furthermore on the 1st insulator layer 121 of the above, the read-out bit lines 131 and 132 linked to the above-mentioned contacts 116 and 117 are formed.

[0028] On the 1st insulator layer 121 of the above, the 2nd insulator layer 123 of a wrap is formed in the above-mentioned read-out bit lines 131 and 132. Contact linked to a read-out bit line is formed in the 2nd insulator layer 123 of the above. In the drawing, the contact 133 connected to the read-out bit line 132, for example is drawn.

Furthermore on the 2nd insulator layer 123 of the above, it writes in, and the word line 11 (111, 112, 113, 114) is formed. This write-in word line 11 can use and form a wiring formation technique in usual. Namely, what is necessary is to carry out etching processing of the above-mentioned film using a lithography technique and an etching technique, and just to form the write-in word line 11, after forming the film which forms a write-in word line.

[0029] In addition, although illustration is not carried out, the above-mentioned write-in word line 11 can also be formed in slot wiring structure using a slot wiring technique. That is, the 3rd insulator layer 125 is formed on the 2nd insulator layer 123. Flattening of this 3rd insulator layer 125 front face is carried out. Subsequently, the

slot for writing in the 3rd insulator layer 125 using a lithography technique, an etching technique, etc., and forming a word line is formed. And after writing in the Mizouchi and embedding the ingredient layer of a word line, the write-in word line 11 is formed in slot wiring structure by removing an ingredient layer [surplus / on the 3rd insulator layer 125 of the above] by chemical mechanical polishing. Then, the insulator layer which writes in the 3rd insulator layer 125 and covers a word line 11 is formed.

[0030] Subsequently, the contact 45 used as the terminal of an information storage component is formed in the 3rd insulator layer 125 of the above. It is because a barrier layer is formed if needed in the above-mentioned connection hole after forming a connection hole in the 3rd insulator layer 125, a conductor is embedded after that and contact 45 is formed with a lithography technique and an etchback technique as the formation approach of contact 45. When the above-mentioned conductor and a barrier layer are formed also on the 3rd insulator layer 125, the surplus conductor and barrier layer on the 3rd insulator layer 125 are removed.

[0031] Subsequently, the antiferromagnetic substance layer 42, the magnetization fixed bed 32 which consists of a ferromagnetic layer, the tunnel insulating layer 33, and the storage layer 34 which consists of a ferromagnetic layer are formed on the insulator layer of the above 3rd. The anti-antiferromagnetic substance layer 42, the magnetization fixed bed 32, the tunnel insulating layer 33, and the storage layers 34 are the following conditions, and one by one, where a vacuous membrane formation ambient atmosphere is maintained by sputtering, they form membranes continuously.

[0032] Subsequently, as shown in drawing 3 , after forming a resist by the rotation applying method, The resist mask pattern (not shown) for forming the 1st coil wiring arranged at one side-face side of the connection layer connected to an information storage component by exposure and development and this connection layer is formed. It is used for a mask and etching to the ferromagnetic layer (storage layer 34) - ferromagnetic layer (magnetization fixed bed) 32 and the antiferromagnetic substance layer 42 is performed. Consequently, while forming the connection layer 41 in the condition that an information storage component is included, the 1st coil wiring 51 arranged at one side-face side of this connection layer 41 is formed. By this etching, for example using an inductive-coupling mold etching system, etching conditions use chlorine (Cl₂) for etching gas as an example, and set that flow rate to 60dm(s)³ / min, and 250W and lower RF power set [70

degrees C and up RF power] 0.5Pa and substrate temperature as 150W for the pressure of an etching ambient atmosphere. Then, the above-mentioned resist mask pattern is removed.

[0033] Subsequently, as shown in drawing 4 , after forming a resist by the rotation applying method, by exposure and development, the resist mask pattern (not shown) for forming an information storage element is formed, it is used for a mask, etching to the ferromagnetic layer (storage layer 34) - tunnel insulating layer 33 is performed, and the information storage element 31 is formed by the storage layer 34, the tunnel insulating layer 33, and the magnetization fixed bed 32. The ferromagnetic layer on the 1st coil wiring 51 (storage layer 34) - the tunnel insulating layer 33 are also removed in the case of this etching. For example using an inductive-coupling mold etching system, as an example, etching conditions use chlorine (Cl₂) for etching gas, set that flow rate to 60dm³/min, and the pressure of an etching ambient atmosphere is set as 0.5Pa, and they set [substrate temperature] 250W and lower RF power as 150W for 70 degrees C and up RF power by this etching. Then, the above-mentioned resist mask pattern is removed.

[0034] Subsequently, as shown in drawing 5 , the 4th insulator layer (equivalent to the 1st insulator layer in claim 3) 71 of a wrap is formed for the above-mentioned information storage element 31, the connection layer 41, and the 1st coil wiring 51 grade by the plasma-CVD method.

[0035] The bias-ECR plasma CVD system was used by the describing [above] plasma-CVD method. In addition, ECR is a electron cyclotron resonance and is the abbreviation for Electron Cyclotron Resonance. The membrane formation conditions of Above CVD use for example, mono-silane (SiH₄):flow rate =60dm³/min, oxygen (O₂):flow rate =66dm³/min, and argon (Ar):flow rate =100dm³/min for material gas as an example. The pressure of a membrane formation ambient atmosphere 0.2Pa, Microwave (2.45GHz) power is set as 2000W, and the temperature of 2000W and a membrane formation ambient atmosphere is set as 300 degrees C for RF power.

[0036] Chemical mechanical polishing (CMP [say / the following and CMP] is the abbreviation for Chemical Mechanical Polishing) performs flattening of insulator layer 71 front face of the above 4th after this membrane formation. Under the present circumstances, it grinds so that the top face of the above-mentioned information storage component 31 may be exposed. As an example of this polish condition, the potassium-hydroxide water solution which contains a 14wt(s)% [for example,] silica particle in 20rpm, polishing pressure force =500gf/2, and polish

liquid for the engine speed of polish planar engine-speed =20rpm and a substrate support stage is used.

[0037] Subsequently, as shown in drawing 6 , the write-in bit line 21 linked to the top face of the information storage element 31 is formed. This write-in bit line 21 was formed by the following approaches. The conductor film for forming a write-in bit line on the 4th insulator layer 71 including the above-mentioned information storage component 31 top of the above is formed. Subsequently, the write-in bit line 21 which etches the above-mentioned conductor film using the resist mask, connects with the above-mentioned information storage component 31, sees in layout, and intersects the above-mentioned write-in word line 11 with resist spreading and a lithography technique after forming the resist mask pattern (not shown) for forming a write-in bit line (for example, rectangular cross) is formed. Then, the above-mentioned resist mask pattern (not shown) is removed.

[0038] Subsequently, as shown in drawing 7 , the 2nd insulator layer (equivalent to the 2nd insulator layer in claim 3) 73 which covers the above-mentioned write-in bit line 21 is formed on the 4th insulator layer 71 at the thickness of 500nm. In this membrane formation, a bias-ECR plasma CVD system is used like membrane formation of the 4th insulator layer 71 of the above. Membrane formation conditions As an example, for example, mono-silane (SiH_4):flow rate =60dm³ / min, oxygen (O_2):flow rate =66dm³ / min, and argon (Ar):flow rate =100dm³ / min are used for material gas. 0.2Pa and microwave (2.45GHz) power are set as 2000W, and the temperature of 2000W and a membrane formation ambient atmosphere is set [the pressure of a membrane formation ambient atmosphere] as 300 degrees C for RF power.

[0039] Subsequently, CMP performs flattening of insulator layer 73 front face of the above 5th. Under the present circumstances, it grinds so that the 5th insulator layer 73 of the above of predetermined thickness (for example, thickness which can secure withstand voltage) may remain on the above-mentioned write-in bit line 21. As an example of the above-mentioned polish conditions, the potassium-hydroxide water solution which contains a 14wt(s)% [for example,] silica particle in 20rpm, polishing pressure force =500gf/2, and polish liquid for the engine speed of polish planar engine-speed =20rpm and a substrate support stage is used like polish of said 4th insulator layer 71.

[0040] As shown in drawing 8 , subsequently, with resist spreading and a lithography technique After forming the resist mask pattern (not shown) for forming the 1st and 2nd connection hole which arrives at the both ends of the 1st coil wiring 51, the 5th and 4th insulator layer 73 and

71 of the above is etched using the resist mask. every -- The 1st connection hole 74 and the 2nd connection hole 75 which arrive at the both ends on the coil wiring 51 of the above 1st are formed. By this etching, a monotonous [/ 2 cycle] mold plasma etching system is used, for example. Etching conditions As an example, trifluoromethane (CHF₃):flow rate =30dm³ / min, oxygen (O₂):flow rate =9dm³ / min, and argon (Ar):flow rate =300dm³ / min are used for etching gas. The pressure of an etching ambient atmosphere is set as 5.3Pa, and 2000W and lower RF power are set [substrate temperature] as 1000W for 20 degrees C and up RF power. Then, the above-mentioned resist mask pattern is removed.

[0041] Subsequently, as shown in drawing 9 , the tungsten film embedding the above 1st and the 2nd connection hole 74 and 75 is formed on the 5th insulator layer 73 of the above with a CVD method. Subsequently, by CMP, polish removal of the tungsten film [surplus / on the 5th insulator layer 73 of the above] is carried out so that the above-mentioned tungsten film may remain only in the above 1st, the 2nd connection hole 74, and 75, and the 1st and 2nd contact 61 and 62 which consists of tungsten film in the above 1st, the 2nd connection hole 74, and 75 is formed.

[0042] Then, as shown in drawing 9 , the conductor film for forming the 2nd coil wiring 52 on the 5th insulator layer 73 of the above by sputtering is formed with aluminum, copper, or other conductive ingredients. Subsequently, after forming a resist by the rotation applying method, while forming the resist mask pattern for forming the 2nd coil wiring, using it for a mask, etching the above-mentioned conductor film and connecting with the 1st and 2nd plug 61 and 62 by exposure and development, the 2nd coil wiring 52 is formed so that it may see in layout and the above-mentioned write-in bit line 21 may be crossed aslant. Thus, a coil 50 is formed so that the information storage component 31 may be surrounded by the 1st coil wiring 51, the 2nd coil wiring 52, the 1st contact 61, and the 2nd contact 62. Then, the above-mentioned resist mask pattern is removed.

[0043] By the manufacture approach of the above-mentioned information storage device, since a coil 50 is formed so that the information storage component 31 may be surrounded by the 1st coil wiring 51, the 2nd coil wiring 52, the 1st contact 61, and the 2nd contact 62, even if the fall of critical current takes place with high integration, it becomes possible to generate a bigger current field with few currents with a coil 50. Therefore, in the information storage device 1 of this invention, the information storage device 1 with which the same current

magnetic field is obtained with the current of the conventional $1/N$ (N is a number of turns) is formed from forming so that the information storage element 31 may be arranged in this coil 50.

[0044]

[Effect of the Invention] As mentioned above, since the coil is formed according to the information storage device of this invention so that an information storage element may be surrounded as explained, a current field can be generated with the coil. Therefore, even if the fall of critical current takes place with high integration, it becomes possible to generate a bigger current field with few currents with a coil. That is, the same current magnetic field as usual can be obtained with the current of the conventional $1/N$ (N is a number of turns). Therefore, improvement in the dependability of an information storage device can be aimed at.

[0045] Since according to the manufacture approach of the information storage device of this invention a coil is formed so that an information storage element may be surrounded by the 1st coil wiring, the 2nd coil wiring, the 1st contact, and the 2nd contact, even if the fall of critical current takes place with high integration, the information storage device which can generate a bigger current field with few currents with a coil can be formed. Therefore, by the manufacture approach of the information storage device of this invention, since it forms so that an information storage element may be arranged in this coil, the information storage device with which the same current magnetic field as usual is obtained with the current of the conventional $1/N$ (N is a number of turns) can be formed. Therefore, formation of a reliable information storage device is attained.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the partial cross-section perspective view in which showing the gestalt of the 1 operation concerning the information storage device of this invention, and showing a part for the principal part of the magnetic memory section of an information storage device.

[Drawing 2] It is the outline configuration sectional view showing the gestalt of the 1 operation concerning the manufacture approach of the information storage device of this invention.

[Drawing 3] It is the outline configuration sectional view showing the gestalt of the 1 operation concerning the manufacture approach of the information storage device of this invention.

[Drawing 4] It is the outline configuration sectional view showing the gestalt of the 1 operation concerning the manufacture approach of the information storage device of this invention.

[Drawing 5] It is the outline configuration sectional view showing the gestalt of the 1 operation concerning the manufacture approach of the information storage device of this invention.

[Drawing 6] It is the outline configuration sectional view showing the gestalt of the 1 operation concerning the manufacture approach of the information storage device of this invention.

[Drawing 7] It is the outline configuration sectional view showing the gestalt of the 1 operation concerning the manufacture approach of the information storage device of this invention.

[Drawing 8] It is the outline configuration sectional view showing the gestalt of the 1 operation concerning the manufacture approach of the information storage device of this invention.

[Drawing 9] It is the outline configuration sectional view showing the gestalt of the 1 operation concerning the manufacture approach of the information storage device of this invention.

[Description of Notations]

1 [-- An information storage component, 32 / -- The magnetization fixed bed, 33 / -- A tunnel insulating layer, 34 / -- A storage layer, 41 / -- A connection layer, 42 / -- An antiferromagnetic substance layer, 50 / -- Coil] -- An information storage device, 11 -- A write-in word line, 21 -- A write-in bit line, 31

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-174148
(P2003-174148A)

(43)公開日 平成15年6月20日(2003.6.20)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 F 0 8 3
G 1 1 C 11/14		11/15	
11/15		H 0 1 L 43/08	Z
H 0 1 L 43/08		27/10	4 4 7

審査請求 未請求 請求項の数3 O L (全 11 頁)

(21)出願番号 特願2001-370904(P2001-370904)

(22)出願日 平成13年12月5日(2001.12.5)

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 白岩 利章
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72)発明者 元吉 真
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74)代理人 100086298
弁理士 船橋 國則

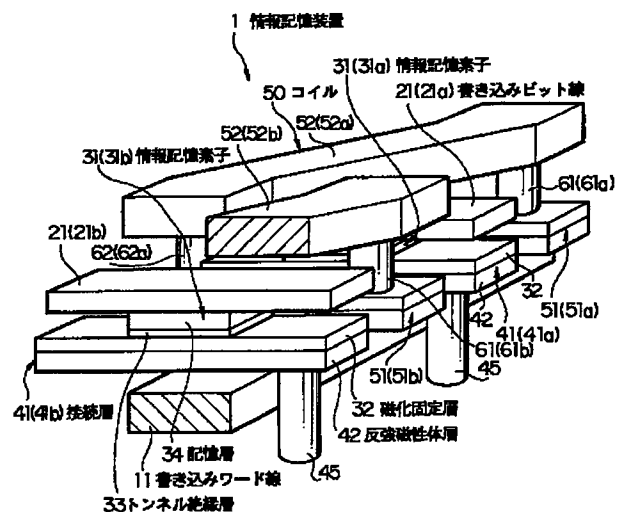
最終頁に続く

(54)【発明の名称】 情報記憶装置およびその製造方法

(57)【要約】

【課題】 臨界電流が低下しても書き込みの際に必要なとされる電流磁場が低下しない効率のよい電流磁場発生手段を備えた情報記憶装置を提供する。

【解決手段】 書き込みワード線11と、書き込みワード線11と所定間隔を置いて交差するように形成された書き込みビット線21と、強磁性体でトンネル絶縁層33を挟んで構成されるもので書き込みワード線11と書き込みビット線21との交差領域における書き込みワード線11と書き込みビット線21の間に設けられた情報記憶素子31と、情報記憶素子31の書き込みワード線11側に形成された反強磁性体層42とを備えた情報記憶装置であって、磁場を発生させるもので情報記憶素子31を取り巻くように形成されたコイル50を備えたものである。



【特許請求の範囲】**【請求項1】** 書き込みワード線と、

前記書き込みワード線と所定間隔を置いて交差するように形成された書き込みビット線と、
強磁性体でトンネル絶縁層を挟んで構成されるもので前記書き込みワード線と前記書き込みビット線との交差領域における前記書き込みワード線と前記書き込みビット線との間に設けられた情報記憶素子と、
前記情報記憶素子の書き込みワード線側に形成された反強磁性体層とを備えた情報記憶装置であって、
磁場を発生させるもので前記情報記憶素子を取り巻くように形成されたコイルを備えたことを特徴とする情報記憶装置。

【請求項2】 前記コイルは、

前記反強磁性体層の一方の側面側に絶縁膜を介して配置された第1のコイル配線と、
前記書き込みビット線上方を斜めに横切るように配置されたもので一端が前記第1のコイル配線の一端側上方に配置された第2のコイル配線と、
前記第1のコイル配線の一端と前記第2のコイル配線の一端とを接続する第1のコンタクトと、
前記反強磁性体層の他方の側面側に絶縁膜を介して配置された別の第1のコイル配線の他端と前記第2のコイル配線の他端とを接続する第2のコンタクトとからなる巻き線部分を繰り返す状態に設けたことを特徴とする請求項1記載の情報記憶装置。

【請求項3】 書き込みワード線と、

前記書き込みワード線と所定間隔を置いて交差するように形成された書き込みビット線と、
強磁性体でトンネル絶縁層を挟んで構成されるもので前記書き込みワード線と前記書き込みビット線との交差領域における前記書き込みワード線と前記書き込みビット線との間に設けられた情報記憶素子と、
前記情報記憶素子の書き込みワード線側に接続された反強磁性体層とを備える情報記憶装置の製造方法であって、
前記反強磁性体層を成膜した後、少なくとも前記情報記憶素子を構成するのに必要な強磁性体からなる磁化固定層とトンネル絶縁層と強磁性体からなる記憶層とを成膜する工程と、
前記記憶層から前記反強磁性体層までをパターンニングして、前記情報記憶素子の下面に接続する接続層を形成するとともに、前記接続層の一方の側面側に配置される第1のコイル配線を形成する工程と、
前記トンネル絶縁層までをパターンニングして情報記憶素子を形成する工程と、
前記情報記憶素子、前記接続層および第1のコイル配線を覆う第1の絶縁膜を形成する工程と、
前記情報記憶素子の上面に接続する前記書き込みビット線を形成する工程と、

前記書き込みビット線を被覆する第2の絶縁膜を形成する工程と、

前記第2、第1の絶縁膜に前記第1のコイル配線の一端に接続する第1のコンタクトを形成するとともに、前記接続層の他方の側面側に配置された別の第1のコイル配線の他端に接続する第2のコンタクトを形成する工程と、
前記第2の絶縁膜上に前記第1のコンタクトと前記第2のコンタクトとを接続する第2のコイル配線を形成する工程とを備えたことを特徴とする情報記憶装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、磁性材料を所定の方向の磁化軸にそった状態に磁化させることにより情報を記憶させる情報記憶装置およびその製造方法に関する。

【0002】

【従来の技術】 情報通信機器、特に携帯端末などの個人用小型機器の飛躍的な普及にともない、これを構成するメモリ素子やロジック素子等の素子には、高集積化、高速化、低消費電力化など、一層の高性能化が要求されている。特に不揮発性メモリの高密度化、大容量化は、可動部分の存在により本質的に小型化が不可能なハードディスクや光ディスクを置き換える技術としてますます重要になってきている。

【0003】 不揮発性メモリとしては、半導体を用いたフラッシュメモリや、強誘電体を用いたFRAM (Ferroelectric Random Access Memory) などがあげられる。しかしながら、フラッシュメモリは、構造が複雑なために高集積化が困難であり、しかも、アクセス時間が100ns程度と遅いという欠点がある。一方、FRAMにおいては、書き換え可能回数が $10^{12} \sim 10^{14}$ で完全にスタティックランダムアクセスメモリやダイナミックランダムアクセスメモリに置き換えるには耐久性が低いという問題が指摘されている。また、強誘電体キャパシタの微細加工が難しいという課題も指摘されている。

【0004】 これらの欠点を有さない不揮発性メモリとして注目されているのが、例えば「Wang et al., IEEE Trans. Magn. 33 (1997) p4498」に記載されているような、MRAM (Magnetic Random Access Memory) もしくはMR (Magnetic resistance) メモリと呼ばれる磁気メモリであり、近年のTMR (Tunnel Magneto resistance) 材料の特性向上により注目を集めるようになってきている。

【0005】 MRAMは、構造が単純であるため高集積化が容易であり、また磁気モーメントの回転により記憶を行うために、書き換え回数が大であると予測されている。またアクセス時間についても、非常に高速であることが予想され、既に100MHzで動作可能であること

が、R.Scheuerlein et al, ISSCC Digest of Papers (Feb. 2000) p128-129 で報告されている。また、GMR (Giant Magnetic resistance) 効果により高出力が得られるようになった現在では、大きく改善されてきている。

【0006】

【発明が解決しようとする課題】 上述の通り、高速化・高集積化が容易という長所を有するMRAMではあるが、書き込みは、TMR素子に近接させて設けられた書き込みビット線と書き込み書き込みワード線に電流を流し、その発生磁界によって行う。TMR素子の記憶層（記憶層）の反転磁界は材料にもよるが、200e~2000eが必要であり、このときの電流は数十mAになる。これは消費電流の増大につながり、携帯機器の低消費電力化に対して大きな課題となる。また、高集積化の面からは、書き込みビット線および書き込みワード線は、リソグラフィ技術から決定される最小線幅に近いサイズが要求される。仮に、書き込みビット線幅/書き込みワード線幅が0.6μmとして、配線の膜厚を500nmとすると、3MA/cm²になり、銅配線を用いた場合（実用電流密度：0.5MA/cm²）もエレクトロマイグレーションに対する寿命は大きな課題となる。さらに微細化していくと、強誘電体の反転磁界は増加し、配線の次元も縮小しなければならないため、この配線信頼性の課題はより大きくなっていく。

【0007】 また、MRAMには、構造上の本質的な課題が存在する。MRAMにおける記憶は、配線に電流を流すことによって発生する電流磁場によって記憶層の磁化を回転させることによって行っている。ところが、高集積化によって、配線が細くなるにともない、書き込み線に流すことができる臨界電流値が下がるため、得られる磁界が小さくなり、被記憶領域の保磁力を小さくせざるを得ない。これは、情報記憶装置の信頼性が低下することを意味する。

【0008】 したがって、臨界電流が低下しても書き込みの際に必要なとされる電流磁場が低下しない効率のよい電流磁場発生手段が求められている。

【0009】

【課題を解決するための手段】 本発明は、上記課題を解決するためになされた情報記憶装置およびその製造方法である。

【0010】 本発明の情報記憶装置は、書き込みワード線と、前記書き込みワード線と所定間隔を置いて交差するように形成された書き込みビット線と、強磁性体でトンネル絶縁層を挟んで構成されるもので前記書き込みワード線と前記書き込みビット線との交差領域における前記書き込みワード線と前記書き込みビット線との間に設けられた情報記憶素子と、前記情報記憶素子の書き込みワード線側に形成された反強磁性体層を含む接続層とを備えた情報記憶装置であって、磁場を発生させるもので前記情報記憶素子を取り巻くように形成されたコイルを

備えたものである。

【0011】 上記情報記憶装置では、情報記憶素子を取り巻くようにコイルが形成されていることから、そのコイルによって電流磁界を発生させることが可能になる。したがって、高集積化にともない臨界電流の低下が起こったとしても、コイルによって少ない電流でより大きな電流磁界を発生させることが可能になる。

【0012】 単一の配線により形成した場合、磁界の強さは直線導体からの距離をrとして、 $H = I / 2\pi r$ (A/m) の式により、電流磁場が形成される。ここで配線をコイル状に形成することにする。ここで形成した環状コイルの半径をR、巻き数をNとすると電流磁場は、 $H = N \cdot I / 2\pi R$ なる式で表される。本発明の情報記憶装置では、このコイル中に情報記憶素子を配置していることから、従来の1/N (Nは巻き数) の電流で同一電流磁場を得ることができる。

【0013】 本発明の情報記憶装置の製造方法は、前記書き込みワード線と所定間隔を置いて交差するように形成された書き込みビット線と、強磁性体でトンネル絶縁層を挟んで構成されるもので前記書き込みワード線と前記書き込みビット線との交差領域における前記書き込みワード線と前記書き込みビット線との間に設けられた情報記憶素子と、前記情報記憶素子の書き込みワード線側に接続された反強磁性体層とを備える情報記憶装置の製造方法であって、前記反強磁性体層を成膜した後、少なくとも前記情報記憶素子を構成するのに必要な強磁性体からなる磁化固定層とトンネル絶縁層と強磁性体からなる記憶層とを成膜する工程と、前記記憶層から前記反強磁性体層までをパターニングして、前記情報記憶素子の下面に接続する接続層を形成するとともに、前記接続層の一方の側面側に配置される第1のコイル配線を形成する工程と、前記トンネル絶縁層までをパターニングして情報記憶素子を形成する工程と、前記情報記憶素子、前記接続層および第1のコイル配線を覆う第1の絶縁膜を形成する工程と、前記情報記憶素子の上面に接続する前記書き込みビット線を形成する工程と、前記書き込みビット線を被覆する第2の絶縁膜を形成する工程と、前記第2、第1の絶縁膜に前記第1のコイル配線の一端に接続する第1のコンタクトを形成するとともに、前記接続層の他方の側面側に配置された別の第1のコイル配線の他端に接続する第2のコンタクトを形成する工程と、前記第2の絶縁膜上に前記第1のコンタクトと前記第2のコンタクトとを接続する第2のコイル配線を形成する工程とを備えている。

【0014】 上記情報記憶装置の製造方法では、第1のコイル配線と第2のコイル配線と第1のコンタクトと第2のコンタクトとで情報記憶素子を取り巻くようにコイルを形成することから、高集積化にともない臨界電流の低下が起こったとしても、コイルによって少ない電流でより大きな電流磁界を発生させることが可能になる。し

たがって、本発明の情報記憶装置では、このコイル中に情報記憶素子を配置するように形成することから、従来の $1/N$ (N は巻き数)の電流で同一電流磁場が得られる情報記憶装置が形成される。

【0015】

【発明の実施の形態】本発明の情報記憶装置に係る一実施の形態を、図1のメモリ部の要部を示す部分断面概略斜視図によって説明する。なお、図1では、読み出し回路部分の図示は省略した。

【0016】図示はしないが、半導体基板に読み出し回路を構成するトランジスタ素子、読み出しワード線、読み出しビット線等が形成され、それを覆う絶縁膜が形成されている。

【0017】そして、図1に示すように、絶縁膜(図示せず)上には、複数の書き込みワード線11が並列して形成されている。この書き込みワード線11と所定の間隔を置いて、書き込みビット線21(21a、21b)が同一平面にかつ上記書き込みワード線11に交差(例えば直交)するように並列に配置されている。

【0018】さらに上記書き込みワード線11と上記書き込みビット線21とが交差するそれぞれの領域には情報記録素子31(31a、31b)が配置されている。この情報記録素子31は、例えば、磁気トンネル接合素子(MTJ素子:MTJはMagnetic Tunnel Junctionの略)もしくはトンネル磁気抵抗素子(TMR素子:TMRはTunnel Magnetic Resistanceの略)で構成されている。

【0019】上記情報記憶素子31は、書き込みワード線11側より、強磁性体からなる磁化固定層32、トンネル絶縁層33、強磁性体よりなる記憶層34を順に積層した構造を有している。上記磁化固定層32は例えば、コバルト鉄(CoFe)、ニッケル鉄(NiFe)もしくはそれらの合金材料で、例えば0.5nm~5nmの厚さに形成され、上記トンネル絶縁層33は例えば酸化アルミニウム(AlO_3)で、例えば0.5nm~5nmの厚さに形成され、上記記憶層34は例えばコバルト鉄(CoFe)、ニッケル鉄(NiFe)もしくはそれらの合金材料で、例えば0.5nm~5nmの厚さに形成されている。そして、上記記憶層34は磁化容易軸という磁化方向のための好ましい軸を有するように形成されている。

【0020】上記情報記憶素子31の上記書き込みワード線11側には反強磁性体層42を含む接続層41(41a、41b)が形成されている。各接続層41は図示していない読み出し回路に接続されるコンタクト45に接続している。なお、図示はしないが、上記接続層41の書き込みワード線11側には例えば窒化チタン、タンタル、窒化タンタル等で形成されるバリア層が設けられていてもよい。上記反強磁性体層は例えば白金マンガン(PtMn)、マンガン鉄(MnFe)、ニッケルマン

ガン(NiMn)もしくはイリジウムマンガン(IrMn)で、例えば5nm~60nm程度の厚さが一般的で通常は30nmの厚さに形成されている。なおこの厚さは60nmよりも厚くてもよい。

【0021】上記接続層41(例えば以下接続層41aを基準にして説明する)の一方の側面側に絶縁膜(図示せず)を介して第1のコイル配線51(51a)が形成されている。上記書き込みビット線21(21a)上には絶縁膜(図示せず)を介してこの書き込みビット線211に接続する情報記憶素子31(31a)の上方を斜めに横切るもので一端が第1のコイル配線51(51a)の一端側上方に配置された第2のコイル配線52

(52a)が形成されている。さらに上記第1のコイル配線51aの一端と上記第2のコイル配線52aの一端とを接続する第1のコンタクト61(61a)が形成されている。さらに、上記接続層41(41a)の他方の側面側に絶縁膜(図示せず)を介して配置された別の第1のコイル配線51(51b)の他端と上記第2のコイル配線52aの他端とを接続する第2のコンタクト62(62a)が形成されている。

【0022】すなわち、第1のコイル配線51(51a)と第1のコンタクト61(61a)と第2のコイル配線52(52a)と第2のコンタクト62(62a)とで情報記憶素子31(31a)を取り巻くようになっており、第1のコイル配線51と第1のコンタクト61と第2のコイル配線52と第2のコンタクト62とからなる巻き線部分を繰り返す状態に設けてコイル50が構成されている。

【0023】上記情報記憶装置1では、情報記憶素子31を取り巻くようにコイル50が形成されていることから、そのコイル50によって電流磁界を発生させることが可能になる。したがって、高集積化にともない臨界電流の低下が起こったとしても、コイル50によって少ない電流でより大きな電流磁界を発生させることが可能になる。

【0024】単一の配線により形成した場合、磁界の強さは直線導体からの距離を r として、 $H=I/2\pi r$ (A/m)の式に表されるように電流磁場が形成される。ここで配線をコイル状に形成することにする。ここで形成した環状コイルの半径を R 、巻き数を N とすると電流磁場は、 $H=N \cdot I/2\pi R$ なる式で表される。本発明の情報記憶装置1では、各矢印で示す方向にコイル50が形成されていることにより、従来の単層配線で電流磁場を形成した場合と比較すると、 $1/N$ (N はコイルの巻く数)の電流で同等の電流磁場を形成することができる。

【0025】次に、本発明の情報記憶装置の製造方法に係る一実施の形態を、図2~図9の概略構成断面図によって説明する。なお、各図2~図9の(2)は(1)中のA-A線断面図を示し、第1~第3の絶縁膜およびゲ

ート絶縁膜の図示は省略した。

【0026】図2に示すように、半導体基板101にはPウエル領域102が形成され、このPウエル領域102にはトランジスタ形成領域103を電氣的に分離する素子分離領域104が例えばSTI (Shallow Trench Isolation) 構造で形成されている。上記トランジスタ形成領域103にはNチャネル形のMOSトランジスタ111が形成されている。このMOSトランジスタ111は、上記トランジスタ形成領域103上にゲート絶縁膜112を介してゲート電極113が形成され、このゲート電極113は読み出しワード線として利用されている。またゲート電極113の両側の上記トランジスタ形成領域103にはソース・ドレイン拡散層114、115がN型拡散層で形成されている。したがって、上記ゲート電極113下のPウエル領域102がチャネル形成領域となっている。

【0027】上記半導体基板101上には上記読み出しトランジスタ111を覆う第1の絶縁膜121が形成されている。この第1の絶縁膜121には上記ソース・ドレイン拡散層114、115に接続されるコンタクト116、117が形成されている。さらに上記第1の絶縁膜121上には上記コンタクト116、117に接続する読み出しビット線131、132が形成されている。

【0028】上記第1の絶縁膜121上には上記読み出しビット線131、132を覆う第2の絶縁膜123が形成されている。上記第2の絶縁膜123には、読み出しビット線に接続するコンタクトが形成されている。図面では、例えば読み出しビット線132に接続するコンタクト133が描かれている。さらに上記第2の絶縁膜123上には書き込みワード線11(111、112、113、114)が形成されている。この書き込みワード線11は通常に配線形成技術を用いて形成することができる。すなわち、書き込みワード線を形成する膜を形成した後、リソグラフィ技術とエッチング技術を用いて上記膜をエッチング加工して、書き込みワード線11を形成すればよい。

【0029】なお、図示はしないが、上記書き込みワード線11は、溝配線技術を用いて溝配線構造に形成することも可能である。すなわち、第2の絶縁膜123上に第3の絶縁膜125を形成する。この第3の絶縁膜125表面は平坦化しておく。次いで、リソグラフィ技術、エッチング技術等を用いてその第3の絶縁膜125に書き込みワード線を形成するための溝を形成する。そして、その溝内に書き込みワード線材料層を埋め込んだ後、上記第3の絶縁膜125上の余剰な材料層を例えば化学的機械研磨により除去することにより、書き込みワード線11を溝配線構造に形成する。その後、第3の絶縁膜125に書き込みワード線11を被覆する絶縁膜を形成する。

【0030】次いで、上記第3の絶縁膜125に情報記

憶素子の端子となるコンタクト45を形成する。コンタクト45の形成方法としては、リソグラフィ技術とエッチバック技術とによって、第3の絶縁膜125に接続孔を形成した後、上記接続孔内に必要に応じてバリア層を形成し、その後導電体を埋め込み、コンタクト45を形成することによる。上記導電体やバリア層が第3の絶縁膜125上にも形成された場合には、第3の絶縁膜125上の余剰な導電体やバリア層を除去する。

【0031】次いで、上記第3の絶縁膜上に反強磁性体層42、強磁性体層からなる磁化固定層32、トンネル絶縁層33、強磁性体層からなる記憶層34を形成する。反強磁性体層42、磁化固定層32、トンネル絶縁層33、記憶層34は、以下のような条件で、順次、スパッタリングで真空の成膜雰囲気を維持した状態で連続的に成膜する。

【0032】次いで、図3に示すように、レジストを回転塗布法により成膜した後、露光、現像によって情報記憶素子に接続される接続層とこの接続層の一方の側面側に配置される第1のコイル配線を形成するためのレジストマスクパターン(図示せず)を形成し、それをマスクに用いて強磁性体層(記憶層34)～強磁性体層(磁化固定層)32および反強磁性体層42までのエッチングを行う。その結果、情報記憶素子を含む状態で接続層41を形成するとともに、この接続層41の一方の側面側に配置される第1のコイル配線51を形成する。このエッチングでは、例えば誘導結合型エッチング装置を用い、エッチング条件は、一例として、エッチングガスに塩素(Cl_2)を用いその流量を $60\text{ dm}^3/\text{min}$ とし、エッチング雰囲気圧力を 0.5 Pa 、基板温度を 70°C 、上部RFパワーが 250 W 、下部RFパワーが 150 W に設定する。その後、上記レジストマスクパターンを除去する。

【0033】次いで、図4に示すように、レジストを回転塗布法により成膜した後、露光、現像によって情報記憶素子を形成するためのレジストマスクパターン(図示せず)を形成し、それをマスクに用いて強磁性体層(記憶層34)～トンネル絶縁層33までのエッチングを行って、記憶層34とトンネル絶縁層33と磁化固定層32とで情報記憶素子31を形成する。このエッチングの際、第1のコイル配線51上の強磁性体層(記憶層34)～トンネル絶縁層33も除去される。このエッチングでは、例えば誘導結合型エッチング装置を用い、エッチング条件は、一例として、エッチングガスに塩素(Cl_2)を用いその流量を $60\text{ dm}^3/\text{min}$ とし、エッチング雰囲気圧力を 0.5 Pa 、基板温度を 70°C 、上部RFパワーを 250 W 、下部RFパワーを 150 W に設定する。その後、上記レジストマスクパターンを除去する。

【0034】次いで、図5に示すように、例えばプラズマCVD法によって、上記情報記憶素子31、接続層4

1、第1のコイル配線51等を覆う第4の絶縁膜（請求項3における第1の絶縁膜に相当）71を形成する。

【0035】上記プラズマCVD法では、バイアスーECRプラズマCVD装置を用いた。なお、ECRは電子サイクロトロン共鳴のことであり、Electron Cyclotron Resonanceの略である。上記CVDの成膜条件は、一例として、原料ガスに例えばモノシラン（ SiH_4 ）：流量＝ $60 \text{ dm}^3/\text{min}$ と酸素（ O_2 ）：流量＝ $66 \text{ dm}^3/\text{min}$ とアルゴン（ Ar ）：流量＝ $100 \text{ dm}^3/\text{min}$ とを用い、成膜雰囲気圧力を 0.2 Pa 、マイクロ波（ 2.45 GHz ）パワーを 2000 W 、RFパワーを 2000 W 、成膜雰囲気温度を 300°C に設定する。

【0036】この成膜後、化学的機械研磨（以下、CMPという、CMPはChemical Mechanical Polishingの略）によって、上記第4の絶縁膜71表面の平坦化を行う。この際、上記情報記憶素子31の上面が露出するように研磨を行う。この研磨条件の一例としては、研磨プレーナ回転数＝ 20 rpm 、基板支持ステージの回転数を 20 rpm 、研磨圧力＝ $500 \text{ gf}/2$ 、研磨液に例えば $14 \text{ wt}\%$ のシリカ粒子を含む水酸化カリウム水溶液を用いる。

【0037】次いで、図6に示すように、情報記憶素子31の上面に接続する書き込みビット線21を形成する。この書き込みビット線21を以下の方法で形成した。上記情報記憶素子31上を含む上記第4の絶縁膜71上に、書き込みビット線を形成するための導電体膜を形成する。次いで、レジスト塗布およびリソグラフィ技術によって、書き込みビット線を形成するためのレジストマスクパターン（図示せず）を形成した後、そのレジストマスクを用いて上記導電体膜をエッチングして、上記情報記憶素子31に接続し、レイアウト的にみて上記書き込みワード線11に交差（例えば直交）する書き込みビット線21を形成する。その後、上記レジストマスクパターン（図示せず）を除去する。

【0038】次いで、図7に示すように、第4の絶縁膜71上に、上記書き込みビット線21を被覆する第2の絶縁膜（請求項3における第2の絶縁膜に相当）73を例えば 500 nm の厚さに形成する。この成膜では上記第4の絶縁膜71の成膜と同様に、バイアスーECRプラズマCVD装置を用い、成膜条件は、一例として、原料ガスに例えばモノシラン（ SiH_4 ）：流量＝ $60 \text{ dm}^3/\text{min}$ と酸素（ O_2 ）：流量＝ $66 \text{ dm}^3/\text{min}$ とアルゴン（ Ar ）：流量＝ $100 \text{ dm}^3/\text{min}$ とを用い、成膜雰囲気圧力を 0.2 Pa 、マイクロ波（ 2.45 GHz ）パワーを 2000 W 、RFパワーを 2000 W 、成膜雰囲気温度を 300°C に設定する。

【0039】次いで、CMPによって、上記第5の絶縁膜73表面の平坦化を行う。この際、上記書き込みビット線21上に所定の厚さ（例えば絶縁耐圧が確保できる

厚さ）の上記第5の絶縁膜73が残るように、研磨を行う。上記研磨条件の一例としては、前記第4の絶縁膜71の研磨と同様に、研磨プレーナ回転数＝ 20 rpm 、基板支持ステージの回転数を 20 rpm 、研磨圧力＝ $500 \text{ gf}/2$ 、研磨液に例えば $14 \text{ wt}\%$ のシリカ粒子を含む水酸化カリウム水溶液を用いる。

【0040】次いで、図8に示すように、レジスト塗布およびリソグラフィ技術によって、各第1のコイル配線51の両端に達する第1、第2の接続孔を形成するためのレジストマスクパターン（図示せず）を形成した後、そのレジストマスクを用いて上記第5、第4の絶縁膜73、71をエッチングして、上記第1のコイル配線51上の両端部に達する第1の接続孔74と第2の接続孔75とを形成する。このエッチングでは、例えば2周波並行平板型プラズマエッチング装置を用い、エッチング条件は、一例として、エッチングガスにトリフルオロメタン（ CHF_3 ）：流量＝ $30 \text{ dm}^3/\text{min}$ と酸素（ O_2 ）：流量＝ $9 \text{ dm}^3/\text{min}$ とアルゴン（ Ar ）：流量＝ $300 \text{ dm}^3/\text{min}$ とを用い、エッチング雰囲気圧力を 5.3 Pa 、基板温度を 20°C 、上部RFパワーを 2000 W 、下部RFパワーを 1000 W に設定する。その後、上記レジストマスクパターンを除去する。

【0041】次いで、図9に示すように、例えば、CVD法によって、上記第5の絶縁膜73上に上記第1、第2の接続孔74、75を埋め込むタングステン膜を形成する。次いで、CMPによって、上記第1、第2の接続孔74、75内のみに上記タングステン膜が残るように上記第5の絶縁膜73上の余剰なタングステン膜を研磨除去して、上記第1、第2の接続孔74、75内にタングステン膜からなる第1、第2のコンタクト61、62を形成する。

【0042】続いて、図9に示すように、例えばスパッタリングによって、上記第5の絶縁膜73上に第2のコイル配線52を形成するための導電体膜を例えばアルミニウムもしくは銅もしくは他の導電性材料により形成する。次いで、レジストを回転塗布法により成膜した後、露光、現像によって第2のコイル配線を形成するためのレジストマスクパターンを形成し、それをマスクに用いて上記導電体膜のエッチングを行って、第1、第2のプラグ61、62に接続するとともに、レイアウト的にみて上記書き込みビット線21を斜めに横切るように第2のコイル配線52を形成する。このようにして、第1のコイル配線51と第2のコイル配線52と第1のコンタクト61と第2のコンタクト62とで情報記憶素子31を取り巻くようにコイル50が形成される。その後、上記レジストマスクパターンを除去する。

【0043】上記情報記憶装置の製造方法では、第1のコイル配線51と第2のコイル配線52と第1のコンタクト61と第2のコンタクト62とで情報記憶素子31

を取り巻くようにコイル 50 が形成されることから、高集積化にともない臨界電流の低下が起こったとしても、コイル 50 によって少ない電流でより大きな電流磁界を発生させることが可能になる。したがって、本発明の情報記憶装置 1 では、このコイル 50 中に情報記憶素子 31 を配置するように形成することから、従来の $1/N$ (N は巻き数) の電流で同一電流磁場が得られる情報記憶装置 1 が形成される。

【0044】

【発明の効果】以上、説明したように本発明の情報記憶装置によれば、情報記憶素子を取り巻くようにコイルが形成されているので、そのコイルによって電流磁界を発生させることができる。したがって、高集積化にともない臨界電流の低下が起こったとしても、コイルによって少ない電流でより大きな電流磁界を発生させることが可能になる。すなわち、従来の $1/N$ (N は巻き数) の電流で従来と同様の電流磁場を得ることができる。よって、情報記憶装置の信頼性の向上が図れる。

【0045】本発明の情報記憶装置の製造方法によれば、第 1 のコイル配線と第 2 のコイル配線と第 1 のコンタクトと第 2 のコンタクトとで情報記憶素子を取り巻くようにコイルを形成するので、高集積化にともない臨界電流の低下が起こったとしても、コイルによって少ない電流でより大きな電流磁界を発生させることが可能な情報記憶装置を形成することができる。したがって、本発明の情報記憶装置の製造方法では、このコイル中に情報記憶素子を配置するように形成するので、従来の $1/N$ (N は巻き数) の電流で従来と同様の電流磁場が得られ

る情報記憶装置を形成することができる。よって、信頼性の高い情報記憶装置の形成が可能になる。

【図面の簡単な説明】

【図 1】本発明の情報記憶装置に係る一実施の形態を示すもので、情報記憶装置の磁気メモリ部の主要部分を示す部分断面斜視図である。

【図 2】本発明の情報記憶装置の製造方法に係る一実施の形態を示す概略構成断面図である。

【図 3】本発明の情報記憶装置の製造方法に係る一実施の形態を示す概略構成断面図である。

【図 4】本発明の情報記憶装置の製造方法に係る一実施の形態を示す概略構成断面図である。

【図 5】本発明の情報記憶装置の製造方法に係る一実施の形態を示す概略構成断面図である。

【図 6】本発明の情報記憶装置の製造方法に係る一実施の形態を示す概略構成断面図である。

【図 7】本発明の情報記憶装置の製造方法に係る一実施の形態を示す概略構成断面図である。

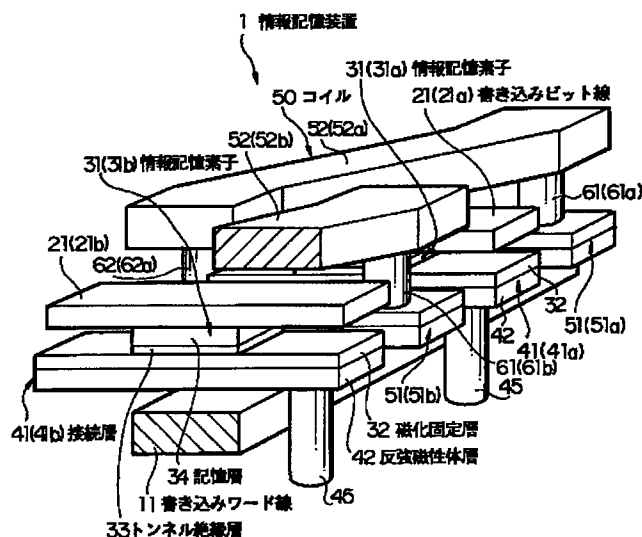
【図 8】本発明の情報記憶装置の製造方法に係る一実施の形態を示す概略構成断面図である。

【図 9】本発明の情報記憶装置の製造方法に係る一実施の形態を示す概略構成断面図である。

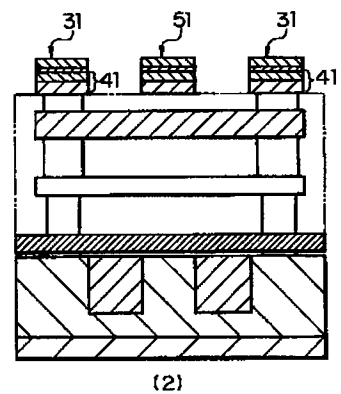
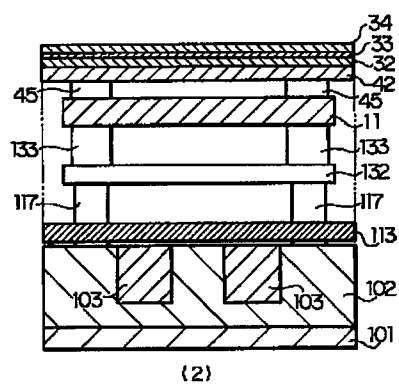
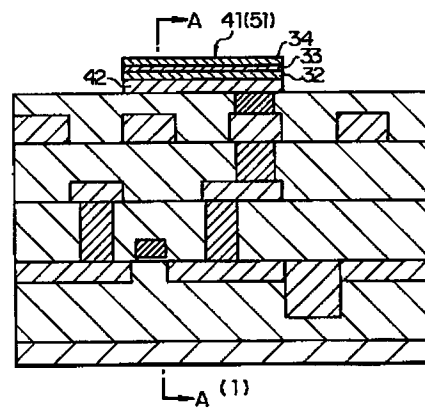
【符号の説明】

1…情報記憶装置、11…書き込みワード線、21…書き込みビット線、31…情報記憶素子、32…磁化固定層、33…トンネル絶縁層、34…記憶層、41…接続層、42…反強磁性体層、50…コイル

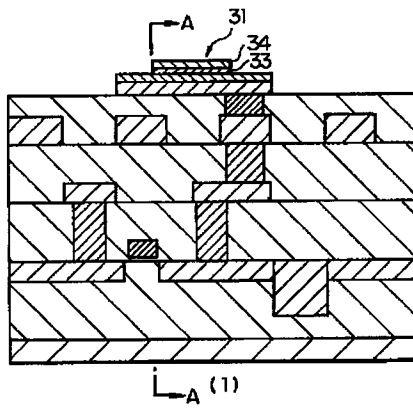
【図 1】



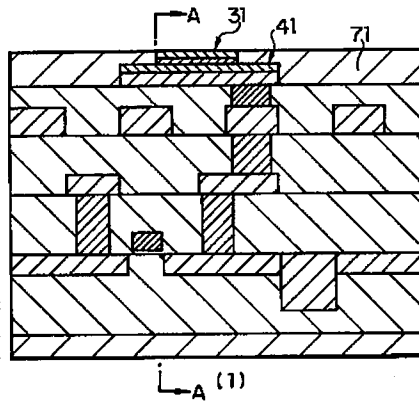
【図3】



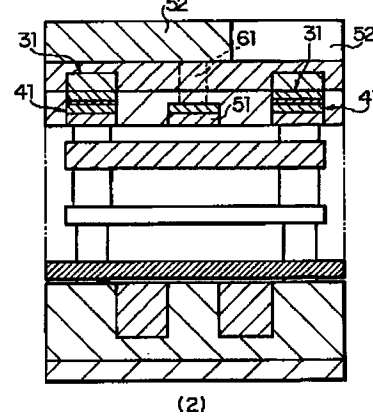
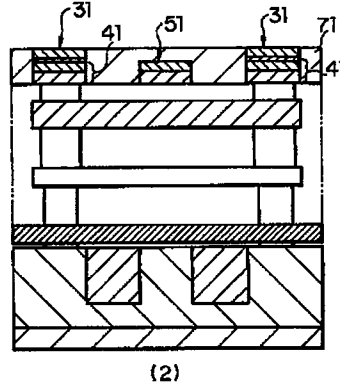
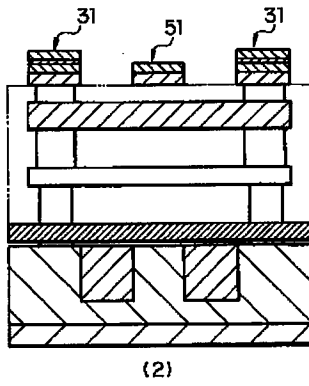
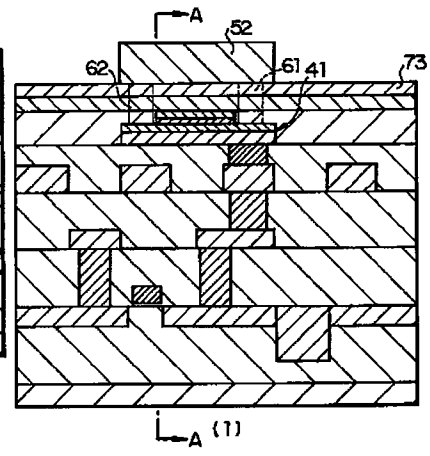
【図4】



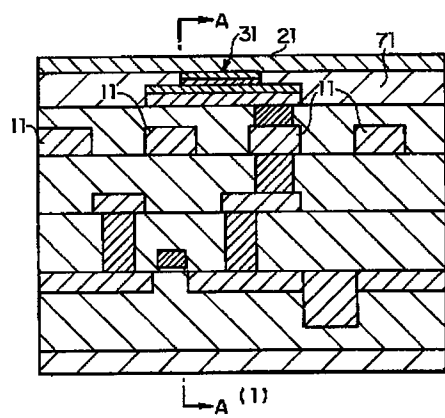
【図5】



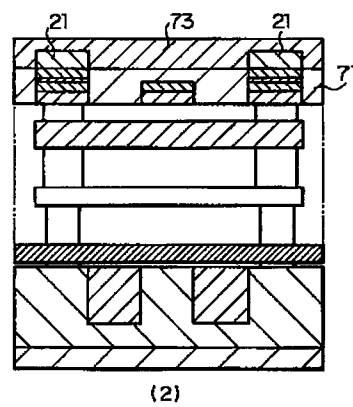
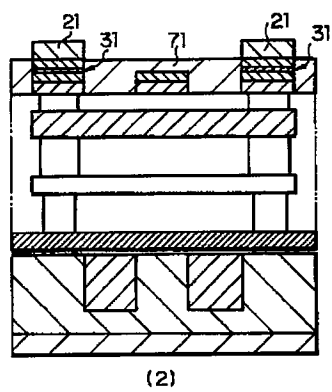
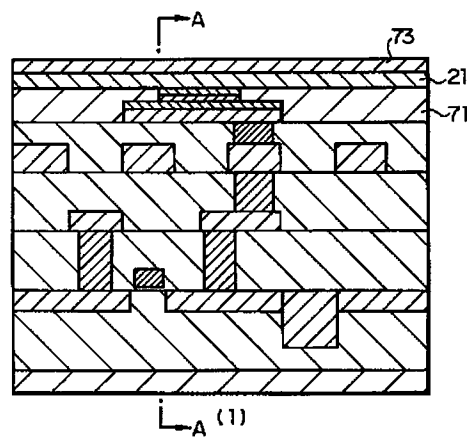
【図9】



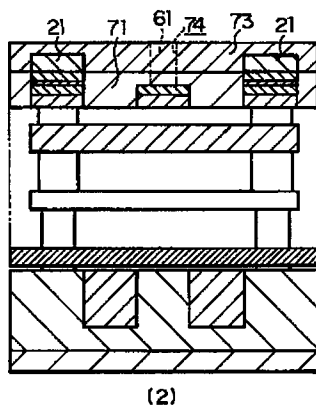
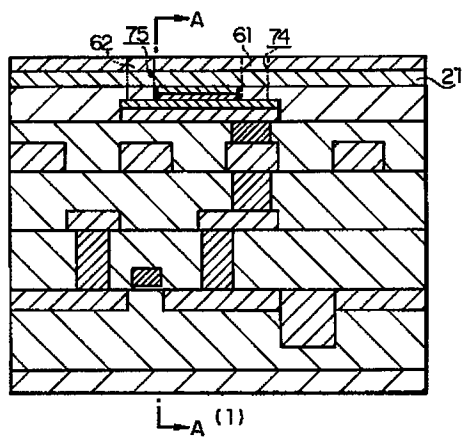
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 5F083 FZ10 JA36 JA37 JA39 JA40
JA60 MA06 MA19 NA01 PR03
PR21 PR40